

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11886263

Basic Patent (No,Kind,Date): JP 6188421 A2 940708 <No. of Patents: 001>

INSULATION GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI

IPC: *H01L-029/784;

Derwent WPI Acc No: *G 94-258448; G 94-258448

JAPIO Reference No: *180531E000054; 180531E000054

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6188421	A2	940708	JP 9398419	A	930402	(BASIC)

Priority Data (No,Kind,Date):

JP 9398419 A 930402

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04717421 **Image available**

INSULATION GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE

PUB. NO.: **06-188421** [JP 6188421 A]

PUBLISHED: July 08, 1994 (19940708)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-098419 [JP 9398419]

FILED: April 02, 1993 (19930402)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

ABSTRACT

PURPOSE: To provide an insulation gate type field effect semiconductor device where the gate insulation film is thinned, low-voltage drive is achieved, and high-frequency response is superb.

CONSTITUTION: A semi-amorphous semiconductor 20 with microcrystalline property and at the same time intrinsic or virtually intrinsic conductivity type is formed on an insulation substrate 1. And, a pair of impurity regions 29 and 30 are provided on the semi-amorphous semiconductor 20 while sandwiching a channel formation 19 and at the same time a gate electrode 35 is provided on the channel formation region 19 and an insulator 33. Also, in the title semiconductor device, a P-channel type insulation gate type field effect semiconductor device and an N-channel type insulation gate type field effect semiconductor device are provided on the same insulation substrate 1.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-188421

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

識別記号

F I

H01L 29/784

9056-4M

H01L 29/78

311

H

9056-4M

311

C

審査請求 有 発明の数 2 (全6頁)

(21)出願番号

特願平5-98419

(22)出願日

平成5年(1993)4月2日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

東京都世田谷区北烏山7丁目21番21号 株

式会社半導体エネルギー研究所内

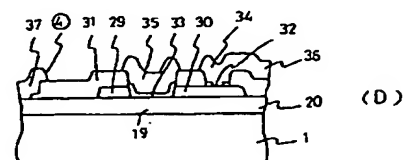
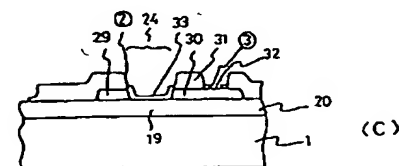
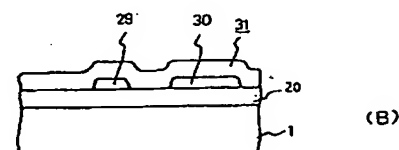
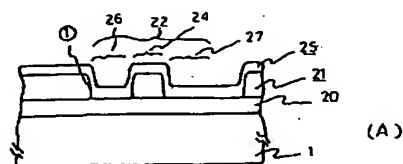
(74)代理人 弁理士 加藤 恭介

(54)【発明の名称】絶縁ゲート型電界効果半導体装置

(57)【要約】

【目的】 ゲート絶縁膜を薄くして、低電圧駆動が可能であると共に、高い周波数の応答性の良い絶縁ゲート型電界効果半導体装置を提供する。

【構成】 絶縁基板(1)上には、微結晶性を有すると共に真性または実質的に真性の導電性を有するセミアモルファス半導体(20)が形成されている。そして、当該セミアモルファス半導体(20)上には、チャネル形成領域(19)を挟んで一対の不純物領域(29)、(30)が設けられると共に、前記チャネル形成領域(19)上および該絶縁物(33)上にゲート電極(35)が設けられている。また、絶縁ゲート型電界効果半導体装置は、Pチャネル型絶縁ゲート型電界効果半導体装置とNチャネル型絶縁ゲート型電界効果半導体装置とが同一絶縁基板(1)上に設けられる。



【特許請求の範囲】

【請求項 1】 絶縁基板上の微結晶性を有すると共に真性または実質的に真性の導電性を有するセミアモルファス半導体上にチャネル形成領域を挟んで一対の不純物領域が設けられると共に、前記チャネル形成領域上および該絶縁物上にゲート電極が設けられていることを特徴とする絶縁ゲート型電界効果半導体装置。

【請求項 2】 請求項 1 において、絶縁ゲート型電界効果半導体装置は、Pチャネル型絶縁ゲート型電界効果半導体装置とNチャネル型絶縁ゲート型電界効果半導体装置とが同一絶縁基板上に設けられたことを特徴とする絶縁ゲート型電界効果半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート型電界効果半導体装置に関するもので、特に、基板上に設けられた5Åないし200Åの大きさの微結晶性を有するセミアモルファス半導体をゲート下のチャネル形成領域に用いることにより薄膜型構造においても単結晶半導体と同様の特性を得んとしたものである。本発明は、基板、特にその上面の半導体と反応を起こさない基板、たとえばガラスまたはセラミック基板または導電性基板においてはオーム接触をする基板上にプラズマCVD法によりセミアモルファス半導体を形成し、これを積極的に絶縁ゲート型電界効果半導体装置に用いたものである。

【0002】セミアモルファス半導体は、本出願人の以下の文献に発表されている。たとえば、特願昭55-120322号（昭和55年8月30日出願）、特願昭56-65826号（昭和56年4月30日出願）がある。すなわち、半導体、たとえば珪素半導体における単結晶を有さない、特にアモルファス構造のガラス基板、多結晶構造のステンレス基板であっても、その電気-光伝導度が $AM1(100mw/cm^2)$ の光エネルギーを与えた場合、 $1 \times 10^{-1}(\Omega cm)^{-1}$ ないし $8 \times 10^{-2}(\Omega cm)^{-1}$ を有し、これらの値は、単結晶珪素半導体の $1/2$ ないし $1/10$ ときわめてすぐれた特性を有していることが実験的に見出された。

【0003】本発明は、かかるセミアモルファス半導体の特性を絶縁ゲート型電界効果半導体装置に用いたものである。さらに、本出願人は、かかるセミアモルファス半導体が従来より知られた薄膜型の絶縁ゲート型電界効果半導体装置、すなわち図1に示した断面構造に適用した場合、本来のセミアモルファス半導体としての特性を有さず、満足した特性が得られないという事実に基づいている。

【0004】

【従来技術】図1は従来の絶縁ゲート型電界効果半導体装置の縦断面図である。従来、アモルファス半導体を用いた絶縁ゲート型電界効果半導体装置は、図1に示すごとき縦断面を有する構造が知られている。図1におい

て、絶縁ゲート型電界効果半導体装置は、絶縁基板(1)と、当該絶縁基板(1)上に形成されたゲート電極(3)、(13)と、当該ゲート電極(3)および(13)上に形成されたゲート絶縁膜(11)と、当該ゲート絶縁膜(11)を介してゲート電極(3)および(13)に対向するように配置されたチャネル形成領域(5)および(10)と、当該チャネル形成領域(5)および(10)を挟むように形成されたソース領域(6)、(9)およびドレイン領域(7)、(8)とから構成されている。なお、絶縁基板(1)上に形成されたゲート電極(3)、(13)は、耐熱性材料、たとえばモリブデンにより作られている。

【0005】さらに、ゲート絶縁膜(11)は、たとえばCVD法により酸化珪素を0.3μmないし0.5μmの厚さに設けられる。次に、ゲート絶縁膜(11)の上面には、アモルファス半導体が形成され、選択エッチングにより、ゲート電極(3)および(13)上の対応する位置にチャネル形成領域(5)、(10)が形成される。さらに、Nチャネル型絶縁ゲート型電界効果半導体装置(12)は、N型の半導体層(6)、(7)を選択的にフォトリソ法を用いて形成される。また、Pチャネル型絶縁ゲート型電界効果半導体装置(2)は、たとえばアルミニウムを真空蒸着法で形成した後、選択エッチングを行い、ソース領域(9)、ドレイン領域(8)を形成し、図1に示す如く、C/MOS・FET（相補型Pチャネル型絶縁ゲート型電界効果半導体装置とNチャネル型絶縁ゲート型電界効果半導体装置を互いに補完させて用いる）を完成させている。

【0006】

【発明が解決しようとする課題】図1に示す絶縁ゲート型電界効果半導体装置は、ゲート絶縁物(11)がCVD法で形成されるため、高密度でなく、結果としてゲート電極(3)とチャネル形成領域(5)とがショートし易い。そのため、絶縁物(11)は、通常0.3μm以上と厚くしなければならなかった。その結果として、絶縁ゲート型電界効果半導体装置を駆動するゲート電圧は、20Vないし60Vと大きな電圧が必要となり、いわゆる1.5Vないし5V程度の低い電圧とすることが不可能であった。しかも、絶縁ゲート型電界効果半導体装置は、ゲート電極(15)の両端とチャネル形成領域(5)の両端と、ソース領域(6)およびドレイン領域(7)の一端とを精密に位置合わせすることが必要である。

【0007】しかし、絶縁基板(1)上に凸凹がある状態で1μm以上の高精度での位置合わせが不可能であった。その結果として、従来例における絶縁ゲート型電界効果半導体装置の位置合わせには、20μmないし30μmものトレランスを作っていた。そのため、絶縁ゲート型電界効果半導体装置におけるドレイン電圧は、50Vないし70Vと高くなるため、1.5Vないし10V程度の低圧駆動とすることが不可能であった。さらに、構造敏感性を有するいわゆるチャネル形成領域(5)と接

する表面(17)には、P型またはN型の導電型の不純物を0.5%ないし2%もの多量にドーパされた半導体が密着されている。したがって、この不純物を含む半導体は、チャンネル形成領域(5)の表面(17)において、完全にエッチング除去されない限り、この部分でソース領域(6)とドレイン領域(7)とがショートしてしまう。

【0008】しかし、上記不純物を含む半導体は、その下側のチャンネル形成領域(5)と同一主成分であるため、選択エッチングがきわめて困難であった。さらに、構造敏感性に劣るアモルファス半導体からなるTFTの場合、薄型とする必要があるため、チャンネル形成領域(5)は、その上に絶縁膜を設けずに、空气中に露呈させていた。このため、構造敏感性を有するセミアモルファス半導体からなるTFTは、上記と同様な構造にすると、バラ付いた特性となり、信頼性において実用不可能であった。すなわち、このようなTFTの構造は、アモルファス半導体において問題がないにもかかわらず、セミアモルファス半導体を用いると性能上全く不適当になるという問題を有する。本発明は、以上のような課題を解決するためのもので、ゲート絶縁膜を薄くして、低電圧駆動が可能であると共に、高い周波数の応答性の良い絶縁ゲート型電界効果半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的を達成するために、本発明の絶縁ゲート型電界効果半導体装置は、絶縁基板(1)上の微結晶性を有すると共に真性または実質的に真性の導電性を有するセミアモルファス半導体(20)上にチャンネル形成領域(19)を挟んで一対の不純物領域(29)、(30)が設けられると共に、前記チャンネル形成領域(19)上および該絶縁物(33)上にゲート電極(35)が設けられている。

【0010】本発明の絶縁ゲート型電界効果半導体装置は、Pチャンネル型絶縁ゲート型電界効果半導体装置とNチャンネル型絶縁ゲート型電界効果半導体装置とが同一絶縁基板(1)上に設けられたことを特徴とする。

【0011】

【作 用】本出願人は、ゲート絶縁膜の下にセミアモルファス半導体からなるチャンネル形成領域を設けた薄膜型構造の絶縁ゲート型電界効果半導体装置においても、単結晶半導体と同様な特性が得られることに気付いた。すなわち、本発明は、微結晶性を有すると共に、真性または実質的に真性の導電性を有するセミアモルファス半導体上にチャンネル形成領域を挟んで、一対の不純物領域が設けられている。そのため、不純物領域からなるソース領域およびドレイン領域との間は、セミアモルファスからなるチャンネル形成領域によって、従来のものと比較して高い電気導電度を有する。

【0012】また、前記チャンネル形成領域上には、ゲート絶縁膜を介してゲート電極が設けられている。そし

て、チャンネル形成領域とゲート電極との絶縁は、ソース領域およびドレイン領域間とチャンネル形成領域との電気導電度が良いため、電流がゲート電極からチャンネル形成領域へ流れ難い。その結果、絶縁ゲート型電界効果半導体装置のゲート絶縁膜は、従来のものより一桁薄くしても、チャンネル形成領域とゲート電極との間で電氣的に短絡しない。

【0013】また、本発明は、ゲート絶縁膜を従来のものと比較して一桁薄くすることができたので、従来より低い電圧によって絶縁ゲート型電界効果半導体装置を駆動することができる。また、本発明は、基板特にその上面の半導体と反応を起こさない基板たとえばガラスまたはセラミック基板または導電性基板において、オーム接触をする基板上にプラズマCVD法によりセミアモルファス半導体を形成し、このセミアモルファス半導体の特性を積極的に絶縁ゲート型電界効果半導体装置に用いんとしたものである。

【0014】本発明は、チャンネル形成領域にセミアモルファス半導体を用い、その下側、上側、側部の全てを絶縁物または高不純物濃度を有する半導体で覆っており、この半導体としての構造敏感性を利用してゲート電極も制御することを特徴としている。そのため、従来のアモルファス半導体を用いたTFTの40Vないし80Vという高い電圧での駆動というのではなく、ゲート電圧、ドレイン電圧とも5Vないし10Vの低い電圧の駆動が可能となり、さらに1.5V駆動もその構造において本質的に可能であるという特徴を有する。さらに、図1においては4回のフォトリソを用いて作るが、ゲート電極(3)とソース領域(6)およびドレイン領域(7)とは、異種材料であり、絶縁基板(1)上にリード配線を抵抗の小さい金属で作ろうとすると、さらに、この上面に2回のフォトリソを必要とし、合計6回になるにもかかわらず単層配線しかできないという欠点を有する。本発明は、以上説明した欠点を取り去るのみならず、半導体装置としての集積化し易いこと、他の重要な要素である抵抗、キャパシタも同時に一本化して作り易いことがチャンネル形成領域をセミアモルファス半導体で作るに加えてデバイスとして有する大きな特徴である。

【0015】

【実施例】以下、第2図を参照しつつ本発明の一実施例を説明する。第2図は本発明の絶縁ゲート型電界効果半導体装置の製造工程を示す縦断面図である。第2図(A)において、基板(1)は、絶縁性であり、かつ透光性基板であるガラス上にセミアモルファス半導体(20)が0.1 μ mないし1 μ mの厚さにプラズマ気相法で形成された。このセミアモルファス半導体(20)は、シラン(モノシランまたはポリシラン)またはフッ化珪素をヘリウムまたは水素で希釈し、0.01torrないし10torr、たとえば0.3torrの反応炉内に導き、100℃ないし400℃、たとえば300℃に加熱

された基板(1)上に前記反応性気体に直流、高周波(500KHZないし50MHZ、たとえば13.56MHZ)またはマイクロ波(1GHZないし10GHZ、たとえば2.45GHZ)の磁場エネルギーを20Wないし200Wの出力を加えて、グロー放電またはアーク放電を行わせ、これら反応性気体およびキャリアガスをプラズマ化し、分解、反応せしめ、基板(1)上に微結晶性を有する真性または実質的に真性のセミアモルファス半導体(20)を形成させるものである。

【0016】このセミアモルファス半導体(20)は、X線回析像を用いて調べ、そのピーク値の半値幅よりシェラーの式を用いて調べると、5Åないし200Åのショートレンジオーダーの大きさの結晶性を有することが判った。さらに、この時、珪素の不對結合手を中和させる水素、フッ素の如きハロゲン元素による再結合中心中和剤に0.01モル原子%ないし5モル原子%添加されている。このセミアモルファス半導体(20)は、暗伝導度 $1 \times 10^{-5} (\Omega \text{ cm})^{-1}$ ないし $3 \times 10^{-3} (\Omega \text{ cm})^{-1}$ を有し、アモルファス半導体の $10^{-3} (\Omega \text{ cm})^{-1}$ ないし $10^{-6} (\Omega \text{ cm})^{-1}$ に比べても 10^2 ないし 10^4 倍も大きい。光伝導度がAM1の条件下にて $1 \times 10^{-3} (\Omega \text{ cm})^{-1}$ ないし $8 \times 10^{-2} (\Omega \text{ cm})^{-1}$ を実験的に有し、特にアモルファス半導体の $10^{-6} (\Omega \text{ cm})^{-1}$ ないし $3 \times 10^{-4} (\Omega \text{ cm})^{-1}$ に比べて10ないし 10^3 倍も大きい。

【0017】そのため、このセミアモルファス半導体(20)を流れる電子の移動度もまたホール移動度もアモルファス半導体の 10^2 ないし 10^4 倍も大きく、このセミアモルファス半導体(20)を絶縁ゲート型電界効果半導体装置のチャネル形成領域用の半導体として用いることは、高速応答用の半導体装置を作る上にきわめて重要である。さらに、第2図(A)は、マスク(21)を $1 \mu\text{m}$ ないし $5 \mu\text{m}$ の厚さに選択的に形成して、ここに第1のフォトマスク①を用いた。これは減圧プラズマ気相法により酸化珪素または耐熱性有機樹脂であるポリイミド樹脂膜(P1Q)であってもよい。

【0018】第2図において、絶縁ゲート型電界効果半導体装置の領域(22)は、ソース領域(26)と、ドレイン領域(27)と、チャネル形成領域(24)とから構成されている。この後、この上面に再びアモルファス半導体またはセミアモルファス半導体の半導体層(25)を $0.1 \mu\text{m}$ ないし $1 \mu\text{m}$ の厚さでセミアモルファス半導体(20)と同様の方法にて形成した。この時、Nチャネルまたは、Pチャネル絶縁ゲート型電界効果半導体装置を作るため、N型またはP型の半導体層のそれぞれに対し、5価の不純物であるリン、3価の不純物であるホウ素を0.2%ないし2%添加した。かくして、第2図(A)に示す被膜構成を得た。

【0019】第2図(B)は、第2図(A)の構造にてマスク(21)を超音波を軽く加えてエッチング液に浸し溶

去した。すると、ソース領域(26)とドレイン領域(27)に一对を構成して一導電型の半導体層(29)、(30)がソース領域、ドレイン領域として形成される。さらに、この上面にフィールド絶縁膜(31)を酸化珪素またはポリイミド樹脂膜により $0.1 \mu\text{m}$ ないし $1 \mu\text{m}$ の厚さに形成して第2図(B)を得た。次に、チャネル形成領域(24)に相当する部分および電極用コンタクト用開穴(32)のフィールド絶縁膜(31)を選択的に第2のフォトマスク②により除去した。この後、ゲート絶縁膜(33)は、プラズマ酸化法によって、 300 Å ないし 2000 Å の厚さに形成された。すなわち、酸素または酸化性気体を2.45GHZ(出力100Wないし500W)のマイクロ波により分解、活性化し、この活性化した酸化性気体中に基板を 300°C ないし 500°C の温度にて設置して、この表面に酸化物特にセミアモルファス半導体(20)が珪素であった時は、酸化珪素膜を作製した。

【0020】上記酸化性気体の代わりにアンモニア等の窒化性気体であってもよい。もちろんプラズマ気相法により酸化珪素、窒化珪素等の絶縁膜を 300 Å ないし 2000 Å の厚さに形成してもよい。さらに、不揮発性メモリとするには、このゲート絶縁膜中に半導体または金属の塊状のクラスタまたは薄膜を形成し、電荷捕獲中心とすると有効である。また、MNOS構造にしてもよい。これらはこの絶縁ゲート型電界効果半導体装置を応用することによってきめられる自由度を有する。かくの如くにして、ゲート絶縁膜(33)を形成した第3のフォトマスク③によりソース領域(29)またはドレイン領域(30)に開口(32)を設けた後、ゲート電極(35)、ドレイン電極(34)、リード(36)を金属膜を選択的に第4のフォトマスクを用いて作製した。

【0021】これらの電極、リード線は、アルミニウム等の真空蒸着法およびフォトエッチング法を用いるのが有効である。信頼性上それらの金属がその下側の絶縁膜または半導体層にしみこむことがないようにするには、リフトオフ法と無電界メッキ法を組み合わせた方法が好ましかった。すなわち、第2図(D)において、ゲート電極(35)、リード(36)が設けられていない部分に第2図(A)と同様にマスク用レジストを設け、この上面および他の一面に金属膜を形成した後、マスクとその上の金属膜のみを選択的に溶去、除去する方法である。

【0022】以上の如くにして、第2図(D)に示される縦断面図の構造を有する絶縁ゲート型電界効果半導体装置を得た。この時一对の不純物領域は、ソース領域(29)、ドレイン領域(30)として機能し、チャネル形成領域(19)は、そのチャネル長を $0.3 \mu\text{m}$ ないし $20 \mu\text{m}$ 、特に $2 \mu\text{m}$ ないし $3 \mu\text{m}$ とすることができ、従来のアモルファス半導体を用いた第1図の構造に比べて 10^1 ないし 10^4 倍もの高い周波数応答を得ることができた。さらに、駆動電圧は、1.5Vないし10V、代表的には5Vないし10Vで可能であり、従来の1/2ないし

1/5にまで下げることができた。第2図よりあきらかな如く、チャンネル形成領域(19)を構成するセミアモルファス半導体(20)は、その上側をゲート絶縁膜(33)で覆われており、特に、チャンネル形成領域(19)は、その全ての面を絶縁膜、または半導体で覆われており、大気に触れることによる劣化がない。

【0023】また、本発明において、セミアモルファス半導体は、アモルファス半導体に比べてきわめて構造敏感性を有し、このセミアモルファス半導体を基板上に何らかの凸部、特に金属電極が設けられているのではなく、平坦なガラス基板等セミアモルファス半導体と反応をしない材料上に形成されている。また、このセミアモルファス半導体からなるチャンネル形成領域上に隣接したソース領域およびドレイン領域には、不純物が添加された半導体層(25)を積層し、この不純物がドーピングされてリークが発生してしまう等の問題がない等の特徴を有する。本発明は、単にひとつの絶縁ゲート型電界効果半導体装置を示したが、これは複数の絶縁ゲート型電界効果半導体装置を同一基板上に集積化して設けることも容易であり、さらにリード(36)上に層間絶縁物を設け第2の

【0024】また、基板(1)を透光性のガラスとした時、下層より光を照射してその光の有無を検出するフォト・トランジスタとして作用させることが可能である。また、フォト・トランジスタは、集積化することによって、撮像用半導体装置として用いることも可能である。本発明は、珪素を中心に記載したが、 SiC_x ($0 < x < 1$)、 $\text{Si}_x\text{N}_{4-x}$ ($0 < x < 4$)であっても、またゲルマニウム、3-5価化合物であってもよい。

【0025】

【発明の効果】本発明によれば、絶縁ゲート型電界効果半導体装置におけるチャンネル形成領域をセミアモルファス半導体としたため、ソース領域、チャンネル形成領域、およびドレイン領域における電子・ホール移動度が大きく、ゲート絶縁膜を従来と一桁薄くしても、チャンネル形成領域とゲート絶縁膜とが短絡しない。したがって、本発明の絶縁ゲート型電界効果半導体装置は、ゲート絶縁膜が従来と一桁薄いので、低電圧駆動を行なうことが可能となった。また、電子・ホール移動度が大きいため、絶縁ゲート型電界効果半導体装置の応答速度が大きくなった。

【図面の簡単な説明】

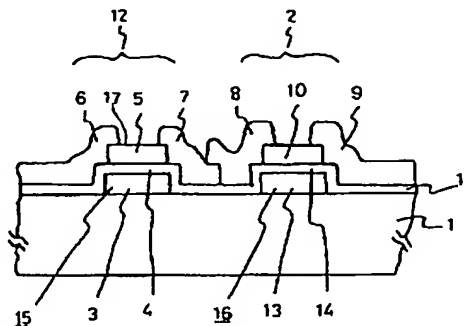
【図1】従来の半導体装置の縦断面図である。

【図2】本発明の絶縁ゲート型電界効果半導体装置の製造工程を示す縦断面図である。

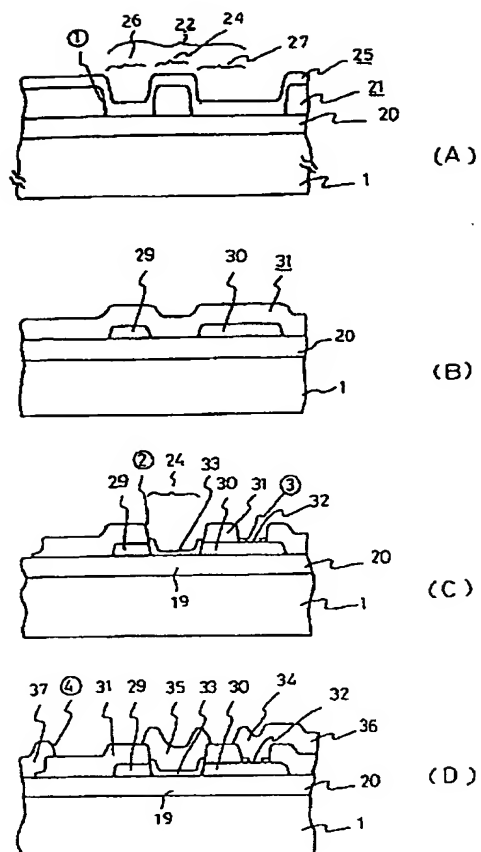
【符号の説明】

- 1・・・基板
- 19(24)・・・チャンネル形成領域
- 20・・・セミアモルファス半導体
- 21・・・マスク
- 22・・・絶縁ゲート型電界効果半導体装置の領域
- 25・・・半導体層
- 26(29)・・・ソース領域
- 27(30)・・・ドレイン領域
- 31・・・フィールド絶縁膜
- 32・・・穴
- 33・・・ゲート絶縁膜
- 34・・・電極
- 35・・・ゲート電極
- 36・・・リード

【図1】



【図 2】



【書類名】 明細書

【発明の名称】 薄膜トランジスタ、前記薄膜トランジスタを有する電子機器及び前記薄膜トランジスタの作製方法

【特許請求の範囲】

【請求項 1】

絶縁基板上に、同一のフォトリソマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、

前記島状の半導体膜の側面に形成された絶縁材料でなるサイドウォールと、

前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、

前記ゲート電極は、前記サイドウォールを介して前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタ。

【請求項 2】

絶縁基板上に、同一のフォトリソマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、

前記島状の半導体膜及び前記島状のゲート絶縁膜の側面に形成された絶縁材料でなるサイドウォールと、前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、前記ゲート電極は、前記サイドウォールを介して前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタ。

【請求項 3】

絶縁表面上に、同一のフォトリソマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、

前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、

前記島状の半導体膜の側面は絶縁化され、前記ゲート電極は、前記絶縁化された島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタ。

【請求項 4】

絶縁基板上に、同一のフォトリソマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、

前記島状の半導体膜及び前記島状のゲート絶縁膜の側面と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うようにパターニングされた絶縁膜と、

前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、

前記ゲート電極は、前記島状の半導体膜及び前記島状のゲート絶縁膜の側面と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うようにパターニングされた絶縁膜を介して、前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタ。

【請求項 5】

請求項 1 または請求項 2 において、

前記島状の半導体膜の側面を覆う部分における前記サイドウォールの当該側面に垂直な方向の実効的な厚さを、前記島状のゲート絶縁膜の実効的な厚さ以上とすることを特徴とする薄膜トランジスタ。

【請求項 6】

請求項 3 において、

前記島状の半導体膜の側面の絶縁化した部分の当該側面に垂直な方向の実効的な厚さを、前記島状のゲート絶縁膜の実効的な厚さ以上とすることを特徴とする薄膜トランジスタ。

【請求項 7】

請求項 4 において、

前記島状の半導体膜及び前記島状のゲート絶縁膜の側面と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うようにパターニングされた絶縁膜の実効的な厚さを、前記島状のゲート絶縁膜の実効的な厚さ以上とすることを特徴とする薄膜トランジスタ。

【請求項 8】

絶縁基板上に半導体膜を形成し、
前記半導体膜上に第 1 の絶縁膜を形成し、
前記半導体膜と前記第 1 の絶縁膜とを加熱処理し、
当該加熱処理の後、同一のフォトマスクを用いて前記半導体膜と前記第 1 の絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、
前記島状のゲート絶縁膜上に第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜を異方性エッチングして、前記島状の半導体膜の側面及び前記島状のゲート絶縁膜の側面を覆うサイドウォールを自己整合的に形成し、
前記サイドウォールを形成した後、前記島状のゲート絶縁膜上に導電性膜を形成し、
前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 9】

絶縁基板上に半導体膜を形成し、
前記半導体膜上に絶縁膜を形成し、
前記半導体膜と前記絶縁膜とを加熱処理し、
当該加熱処理の後、同一のレジストマスクを用いて前記半導体膜と前記絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、
前記レジストマスクを除去せずに、前記島状の半導体膜の側面に酸素または窒素を添加し前記半導体膜の側面を絶縁化させ、
その後、前記島状のゲート絶縁膜上に導電性膜を形成し、
前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 10】

絶縁基板上に半導体膜を形成し、
前記半導体膜上に第 1 の絶縁膜を形成し、
前記半導体膜と前記第 1 の絶縁膜とを加熱処理し、
当該加熱処理の後、同一のフォトマスクを用いて前記半導体膜と前記第 1 の絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、
前記島状のゲート絶縁膜上に第 2 の絶縁膜を形成し、
前記島状の半導体膜及び前記島状のゲート絶縁膜の端部と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うように、前記第 2 の絶縁膜をパターニングし、
その後、前記島状のゲート絶縁膜上に導電性膜を形成し、
前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 11】

絶縁基板上に半導体膜を形成し、
前記半導体膜上に第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜上に第 1 の導電性膜を形成し、
前記半導体膜と前記第 1 の絶縁膜と前記第 1 の導電性膜とを加熱処理し、
当該加熱処理の後、同一のフォトマスクを用いて前記半導体膜と前記第 1 の絶縁膜と前記第

1の導電性膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、

前記島状の第1の導電性膜上に第2の絶縁膜を形成し、

前記第2の絶縁膜を異方性エッチングして、前記島状の半導体膜の側面、前記島状のゲート絶縁膜の側面及び前記島状の第1の導電性膜の側面を覆うサイドウォールを自己整合的に形成し、

前記サイドウォールを形成した後、前記島状の第1の導電性膜上に第2の導電性膜を形成し、

前記島状の第1の導電性膜及び前記第2の導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項12】

絶縁基板上に半導体膜を形成し、

前記半導体膜上に絶縁膜を形成し、

前記絶縁膜上に第1の導電性膜を形成し、

前記半導体膜と前記絶縁膜と前記第1の導電性膜とを加熱処理し、

当該加熱処理の後、同一のレジストマスクを用いて、前記半導体膜と前記絶縁膜と前記第1の導電性膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、

前記レジストマスクを除去せずに、前記島状の半導体膜の側面に酸素または窒素を添加し前記半導体膜の側面を絶縁化させ、

その後、前記島状の第1の導電性膜上に第2の導電性膜を形成し、

前記島状の第1の導電性膜及び前記第2の導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項13】

絶縁基板上に半導体膜を形成し、

前記半導体膜上に第1の絶縁膜を形成し、

前記絶縁膜上に第1の導電性膜を形成し、

前記半導体膜と前記第1の絶縁膜と前記第1の導電性膜とを加熱処理し、

当該加熱処理の後、同一のフォトリソマスクを用いて前記半導体膜と前記第1の絶縁膜と前記第1の導電性膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、

前記島状の第1の導電性膜上に第2の絶縁膜を形成し、

前記島状の半導体膜、前記島状のゲート絶縁膜及び前記島状の第1の導電性膜の端部と前記島状の第1の導電性膜の上面の周辺部のみとを覆うように、前記第2の絶縁膜をパターニングし、

その後、前記島状のゲート絶縁膜上に第2の導電性膜を形成し、

前記第1の導電性膜及び前記第2の導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項14】

請求項8、請求項10、請求項11、請求項13のいずれか一項において、前記半導体膜と前記第1の絶縁膜の前記加熱処理は、600～800℃で行うことを特徴とする薄膜トランジスタの作製方法。

【請求項15】

請求項9または請求項12において、前記半導体膜と前記絶縁膜の前記加熱処理は、600～800℃で行うことを特徴とする薄膜

トランジスタの作製方法。

【請求項 16】

請求項 14 において、

前記絶縁基板の歪み点は、600℃以下であることを特徴とする薄膜トランジスタの作製方法。

【請求項 17】

請求項 15 において、

前記絶縁基板の歪み点は、600℃以下であることを特徴とする薄膜トランジスタの作製方法。

【請求項 18】

請求項 9 において、

前記ゲート電極は、前記島状の半導体膜の外へ引き回されていることを特徴とする薄膜トランジスタの作製方法。

【請求項 19】

請求項 10 において、

前記ゲート電極は、前記島状の半導体膜の外へ引き回されていることを特徴とする薄膜トランジスタの作製方法。

【請求項 20】

請求項 11 において、

前記ゲート電極は、前記島状の半導体膜の外へ引き回されていることを特徴とする薄膜トランジスタの作製方法。

【請求項 21】

請求項 12 において、

前記ゲート電極は、前記島状の半導体膜の外へ引き回されていることを特徴とする薄膜トランジスタの作製方法。

【請求項 22】

請求項 13 において、

前記ゲート電極は、前記島状の半導体膜の外へ引き回されていることを特徴とする薄膜トランジスタの作製方法。

【請求項 23】

請求項 1 乃至請求項 4 のいずれか 1 項に記載の前記薄膜トランジスタを有する電子機器において、前記電子機器は、発光装置、デジタルスチルカメラ、パーソナルコンピュータ、モバイルコンピュータ、画像再生装置、ゴーグル型ディスプレイ、ビデオカメラ、携帯電話のグループから選ばれることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、歪み点の低い基板上に形成する電界効果型トランジスタに代表される半導体素子及びその作製方法、前記半導体素子を含む半導体集積回路及びその作製方法に関し、特にガラス等の基板の歪み点を超えた温度でゲート絶縁膜に熱処理を施す薄膜トランジスタ及びその作製方法に関する。

【従来の技術】

近年、ガラスや石英といった光を透過する絶縁性基板上に画素や駆動回路の他、CPU、メモリ等の論理回路を内蔵したシステムオンパネルの開発が注目されている。駆動回路や論理回路には高速動作が要求され、その実現のためにはスイッチング速度の速い薄膜トランジスタ(以下、TFTともいう。)を作製することが求められる。TFTのスイッチング速度の高速化には

結晶欠陥の少ない半導体膜を活性層として用いることやゲート絶縁膜の薄膜化、ゲート長の縮小に代表されるトランジスタサイズの縮小が効果的である。

【0002】

ゲート絶縁膜に要求される特性としては、薄膜中の欠陥が少ない、固定電荷を含まない、半導体膜との界面準位が低い、低リーク電流であること等が挙げられる。しかしながら、ゲート絶縁膜の膜厚の減少に伴いゲートリーク電流は増加してしまう傾向にある。またゲート絶縁膜の薄膜化を行うためには、ゲートリーク電流を抑制できるような緻密なゲート絶縁膜が要求されている。ゲート絶縁膜を薄膜化すると低電圧駆動が可能であり、高い駆動周波数に対しても応答のよい電界効果半導体装置を得ることができる（例えば、特許文献1参照）。

【0003】

【特許文献1】 特開平6-188421公報

【0004】

【発明が解決しようとする課題】

ガラスなどの透明絶縁基板上に珪素膜を形成し、該珪素膜を用いて集積回路を作製する場合、単結晶珪素基板を利用した大規模集積回路で培われた製造技術をそのまま転用することは不可能であった。それは集積回路を作製するための珪素膜（多結晶珪素膜等）の結晶性の問題のみでなく、集積回路が形成される基板であるガラス等の耐熱性の点からプロセス温度の制限がなされてしまうためであった。

【0005】

緻密で電氣的適正に優れたゲート絶縁膜はCVD法で形成することが可能であるが、膜形成温度を750℃以上とする必要があった。プラズマCVD法は低温で膜形成が可能であるが、膜がプラズマ中の荷電粒子により損傷を受け、欠陥やピンホールが出来やすいということが問題であった。また膜形成温度が500℃以下の場合、水素が膜中に含まれ、膜の安定性が低下してしまう。これに対し、高周波スパッタリング法は、水素の混入のない薄膜を形成することが可能である。しかしCVD法と比較して高周波スパッタリング法では一般的にゲート絶縁膜として利用するほどの緻密な膜は得られなかった。

【0006】

論理演算回路用の素子として必須であるスイッチング速度の速いTFETを作製するため、又高集積化を図るためには素子寸法の微細化は益々必要とされている。そのためには高品質なゲート絶縁膜を形成することは必要不可欠である。高品質なゲート絶縁膜を形成するため、成膜したゲート絶縁膜の加熱処理をすることが望まれる。しかし、歪み点を超えるような温度を与えた前後で、膨張、収縮を生じてしまうガラス等の基板では、該基板上に形成された膜をパターニングする際にアライメントずれが起きる問題があるため、該基板の歪み点以上の温度でゲート絶縁膜に加熱処理を施すことは困難である。

【0007】

一般的に、ガラス基板上へTFETを作製する工程について、図7を用いて説明する。図7(E)～(H)は上面図であり、図7(A)～(D)はそれぞれ上面図における破線A-B、破線B-Cに沿った断面図である。図7では、特に、半導体膜形成、素子分離からゲート電極作製までの工程を述べる。

【0008】

まず、絶縁性基板10に下地膜11と半導体膜12を形成する（図7(A)、(E)）。次に、半導体膜12を島状に加工することによりトランジスタ作製領域13、トランジスタ作製領域14に素子分離する（図7(B)、(F)）。続いて、ゲート絶縁膜15および導電性膜16を成膜する（図7(C)、(G)）。最後に、導電性膜16をパターニングしゲート電極18を形成す

る（図7（D）、（H））。なお、ゲート電極18を形成する際のエッチングによって、ゲート絶縁膜15のゲート電極18と重ならない領域がエッチングされ、ゲート絶縁膜17となる。

【0009】

上記のように、半導体膜12を島状に素子分離した後に、ゲート絶縁膜15及び導電性膜16を形成し、その後、ゲート電極18の位置を島状の半導体膜、即ち、トランジスタ形成領域13、14に合わせ、導電性膜16のパターニングを行って、トランジスタを形成する。この方法では、半導体膜12を島状形状に加工した後のプロセス温度の上限は、パターニング時のアライメントずれによる不良を生じないように、基板のシュリンク量を考慮して決定される。

【0010】

本発明は、ガラス等の基板の膨張、収縮によるパターニングのアライメントずれの問題を引き起こさずに、界面準位低減、固定電荷低減といったゲート絶縁膜の特性向上を目的とした加熱処理を可能とした薄膜トランジスタ及びその作製方法を提供することを課題とする。

【0011】

【課題を解決するための手段】

本明細書の発明は、絶縁基板上に、同一のフォトマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、前記島状の半導体膜の側面に形成された絶縁材料でなるサイドウォールと、前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、前記ゲート電極は、前記サイドウォールを介して前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタである。

【0012】

本明細書の発明は、絶縁基板上に、同一のフォトマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、前記島状の半導体膜及び前記島状のゲート絶縁膜の側面に形成された絶縁材料でなるサイドウォールと、前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、前記ゲート電極は、前記サイドウォールを介して前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタである。

【0013】

本明細書の発明は、絶縁表面上に、同一のフォトマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、前記島状の半導体膜の側面は絶縁化され、前記ゲート電極は、前記絶縁化された島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタである。

【0014】

本明細書の発明は、絶縁基板上に、同一のフォトマスクを用いてパターニングされた島状の半導体膜及び島状のゲート絶縁膜と、前記島状の半導体膜及び前記島状のゲート絶縁膜の側面と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うようにパターニングされた絶縁膜と、前記島状のゲート絶縁膜上に形成されたゲート電極とを有し、前記ゲート電極は、前記島状の半導体膜及び前記島状のゲート絶縁膜の側面と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うようにパターニングされた絶縁膜を介して、前記島状の半導体膜の側面と重なっていることを特徴とする薄膜トランジスタである。

【0015】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に第1の絶縁膜を形成し、前記半導体膜と前記第1の絶縁膜とを加熱処理し、当該加熱処理の後、同一のフォトマスクを用いて前記半導体膜と前記第1の絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、前記島状のゲート絶縁膜上に第2の絶縁膜を形成し、前記第2の絶縁膜を異方性エッチングして、前記島状の半導体膜の側面及び前記島状のゲート絶縁膜

の側面を覆うサイドウォールを自己整合的に形成し、前記サイドウォールを形成した後、前記島状のゲート絶縁膜上に導電性膜を形成し、前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0016】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に絶縁膜を形成し、前記半導体膜と前記絶縁膜とを加熱処理し、当該加熱処理の後、同一のレジストマスクを用いて前記半導体膜と前記絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、前記レジストマスクを除去せずに、前記島状の半導体膜の側面に酸素または窒素を添加し前記半導体膜の側面を絶縁化させ、その後、前記島状のゲート絶縁膜上に導電性膜を形成し、前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0017】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に第1の絶縁膜を形成し、前記半導体膜と前記第1の絶縁膜とを加熱処理し、当該加熱処理の後、同一のフォトリソマスクを用いて前記半導体膜と前記第1の絶縁膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜とを形成し、前記島状のゲート絶縁膜上に第2の絶縁膜を形成し、前記島状の半導体膜及び前記島状のゲート絶縁膜の端部と前記島状のゲート絶縁膜の上面の周辺部のみとを覆うように、前記第2の絶縁膜をパターニングし、その後、前記島状のゲート絶縁膜上に導電性膜を形成し、前記導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0018】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に第1の絶縁膜を形成し、前記第1の絶縁膜上に第1の導電性膜を形成し、前記半導体膜と前記第1の絶縁膜と前記第1の導電性膜とを加熱処理し、当該加熱処理の後、同一のフォトリソマスクを用いて前記半導体膜と前記第1の絶縁膜と前記第1の導電性膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、前記島状の第1の導電性膜上に第2の絶縁膜を形成し、前記第2の絶縁膜を異方性エッチングして、前記島状の半導体膜の側面、前記島状のゲート絶縁膜の側面及び前記島状の第1の導電性膜の側面を覆うサイドウォールを自己整合的に形成し、前記サイドウォールを形成した後、前記島状の第1の導電性膜上に第2の導電性膜を形成し、前記島状の第1の導電性膜及び前記第2の導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0019】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に絶縁膜を形成し、前記絶縁膜上に第1の導電性膜を形成し、前記半導体膜と前記絶縁膜と前記第1の導電性膜とを加熱処理し、当該加熱処理の後、同一のレジストマスクを用いて、前記半導体膜と前記絶縁膜と前記第1の導電性膜とを島状にパターニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、前記レジストマスクを除去せずに、前記島状の半導体膜の側面に酸素または窒素を添加し前記半導体膜の側面を絶縁化させ、その後、前記島状の第1の導電性膜上に第2の導電性膜を形成し、前記島状の第1の導電性膜及び前記第2の導電性膜をパターニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0020】

本明細書の発明は、絶縁基板上に半導体膜を形成し、前記半導体膜上に第1の絶縁膜を形成し、前記絶縁膜上に第1の導電性膜を形成し、前記半導体膜と前記第1の絶縁膜と前記第1の導電性膜とを加熱処理し、当該加熱処理の後、同一のフォトリソマスクを用いて前記半導体膜と前

記第1の絶縁膜と前記第1の導電性膜とを島状にパターンニングして、島状の半導体膜と島状のゲート絶縁膜と島状の第1の導電性膜とを形成し、前記島状の第1の導電性膜上に第2の絶縁膜を形成し、前記島状の半導体膜、前記島状のゲート絶縁膜及び前記島状の第1の導電性膜の端部と前記島状の第1の導電性膜の上面の周辺部のみとを覆うように、前記第2の絶縁膜をパターンニングし、その後、前記島状のゲート絶縁膜上に第2の導電性膜を形成し、前記第1の導電性膜及び前記第2の導電性膜をパターンニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法である。

【0021】

本明細書の発明の薄膜トランジスタの作製方法は、素子分離していない半導体膜の上に少なくともゲート絶縁膜を成膜した状態で加熱処理を行い、当該加熱処理の後、ゲート絶縁膜と半導体膜を同一のフォトマスクを用いて素子構造に分離し、露出した半導体膜の側面を覆う絶縁膜を形成し、その後、前記ゲート絶縁膜上にゲート電極を形成することを特徴としている。加熱処理後にゲート絶縁膜と半導体膜とを同時にパターンニングし素子形状に加工するため、加熱処理時におけるガラス等の基板の膨張、収縮がパターンニングのアライメントずれに影響を及ぼさないようにすることができる。ゲート絶縁膜と半導体膜とを同時にパターンニングし素子形状に加工した状態では、半導体膜の側面が露出している。そこで、ゲート絶縁膜上にゲート電極等の電極や配線を形成する前に半導体膜の側面を覆う絶縁膜を形成することを特徴としている。こうして、素子構造に加工された半導体膜とゲート絶縁膜上に形成される電極や配線との間の短絡を防ぐ。

【0022】

本明細書の発明において、薄膜トランジスタが形成される絶縁性基板としては、その種類は問わず、ゲート絶縁膜に施す加熱処理温度600～800℃よりも低い歪み点を有する基板を用いるときに効果的である。

【0023】

また本明細書の発明では素子分離されていない半導体膜とゲート絶縁膜との積層膜に同時に加熱処理を施すが、加熱処理ではファーンネスまたはRTA(Rapid Thermal Anneal)を用いても構わない。RTA処理では、ガス加熱、ランプ加熱のいずれを用いることもできる。好ましくは前記積層膜上に、ゲート電極の少なくとも一部を形成するための導電性膜まで形成した状態でランプ加熱処理を施すとよい。赤外領域に放射スペクトルのピークを持つハロゲンランプを用いた場合、当該導電性膜が放射光を有効に吸収し、効率よくゲート絶縁膜を加熱できるのみならず、ゲート絶縁膜と当該導電性膜との界面も加熱処理することができ、ゲート電極とゲート絶縁膜界面に起因したリーク電流の低減といった特性の向上が可能になる。

【0024】

半導体膜とゲート絶縁膜とを含んだ積層膜を同時に素子分離した場合、半導体膜の側面が露出する。そのため、続けてゲート電極を形成するための導電性膜を形成した場合、半導体膜側面がゲート電極と短絡してしまうことになる。特に、素子分離された半導体膜の外へゲート電極を引き回す部分と半導体膜の側面とが短絡してしまう。そこで半導体膜の側面を覆う絶縁膜が必要になる。この半導体膜の側面を覆う絶縁膜は、パターンニングされた半導体膜とゲート絶縁膜との上に基板全面を覆う絶縁膜を形成し、該絶縁膜を異方性エッチングし、セルフアラインでサイドウォール状に加工して形成することができる。また、半導体膜の側面を覆う絶縁膜の他の作製方法としては、低温で半導体膜側面を絶縁化する方法や、半導体膜及びゲート絶縁膜の側面とゲート絶縁膜の上面の周辺部のみとを覆うように絶縁膜をパターンニング形成する方法がある。集積化を視野に入れた場合、半導体膜の側面を覆う絶縁膜は、セルフアラインで形

成する方が位置合わせのずれも無いため精度良く形成することができるので、サイドウォール状に形成する方法や低温で半導体側面を絶縁化する方法で作製するのが好ましい。こうして、目的とする半導体膜の側面にだけ絶縁膜が形成される。

【0025】

上記構成を有する本発明により、従来ではガラス等の基板のシュリンクのためにパターニング時のアライメントずれが問題となる700℃という温度であっても、パターニング時のアライメント不良を問題とせずゲート絶縁膜に加熱処理を加えることができる。

【0026】

本発明では、ガラス等の基板の歪み点を越える700℃といった温度で、ゲート絶縁膜への加熱処理を施すことができるため、薄膜トランジスタにおいて、界面準位が低減し、固定電荷が減少し、ゲートリーク電流が低減し、電界効果移動度、サブスレショルド係数などが良好となり、連続動作における特性の経時変化が低減し、製造歩留まりを向上させや特性ばらつきを低減することができる。

【0027】

【発明の実施の形態】

(実施の形態1)

本実施の形態において適用可能な基板には、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノシリケートガラスなどを素材とするガラス基板等が挙げられる。代表的にはコーニング社製の1737ガラス基板(歪み点667℃)、旭硝子社製のAN100(歪み点670℃)などが適用可能であるが、勿論他の同様な基板であれば特段の限定はない。

【0028】

上記基板を用いて、図1(A)、(E)に示すように、ガラス基板20上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜(SiO_xN_y)等の絶縁膜から成る第1無機絶縁体層21を形成する。第1無機絶縁体層21の代表的な例は2層構造を有し、 SiH_4 、 NH_3 、および N_2O を反応ガスとしてプラズマCVD法により成膜される第1酸化窒化珪素膜50nm、 SiH_4 および N_2O を反応ガスとしてプラズマCVD法により成膜される第2酸化窒化珪素膜を100nm積層形成する構造である。

【0029】

TFTの活性層とする結晶性半導体膜22は、第1無機絶縁体層21上に形成した非晶質半導体膜を結晶化して得る。結晶性半導体膜22として、結晶性珪素膜等を用いることができる。非晶質半導体膜の厚さは当該非晶質半導体膜を結晶化して得られる結晶性半導体膜22の厚さが20nm乃至60nmとなる範囲で選択される。TFTの活性層とする結晶性半導体膜22の膜厚の上限値はTFTのチャネル領域において完全空乏型として動作させるため最大値であり、この膜厚の下限値はプロセス上の制約であり、結晶性半導体膜22のエッチング工程において、結晶性半導体膜22のみを選択的に加工する場合に必要な最小値として決めている。

【0030】

結晶性半導体膜22の上にゲート絶縁膜23を形成する。ゲート絶縁膜23としてはSiターゲットを利用しAr、 O_2 を用いた反応性スパッタリング法によって成膜した酸化珪素膜、 SiH_4 、 NH_3 、および N_2O を反応ガスとしたCVDによる成膜される酸化窒化珪素膜などを利用することができる。もちろんゲート絶縁膜23としては珪素化合物に限らず、比誘電率が酸化珪素よりも大きく実効的にゲート絶縁膜の薄膜化の効果がえられる高誘電率金属酸化物を用いてもよい。実効的な膜厚とは、実際の膜厚 t と、基準となる膜材料、例えば酸化珪素等の比誘電率 k_1 と実際の膜材料の比誘電率 k_2 との比 k_1/k_2 と、の積 $t \cdot k_1/k_2$ で表現することができる。なおゲート絶縁膜23の膜厚はスケーリング則およびプロセス上のマージン

から設定され、ここではゲート長 $0.35\mu\text{m}\sim 2.5\mu\text{m}$ のTFTを作製するためにゲート絶縁膜23の厚さを $20\text{nm}\sim 80\text{nm}$ とした。

【0031】

つぎにゲート絶縁膜23上に、第1の導電性膜24を形成する。第1の導電性膜24は窒化タンタル膜を $10\sim 50\text{nm}$ の膜厚だけ、Taターゲットを利用しAr、 N_2 ガスを用いた反応性スパッタリングによって形成する。もちろん第1の導電性膜24はタンタル化合物以外にも、他の導電性膜を用いてもよい。ただし第1の導電性膜24は、波長が $1\mu\text{m}$ 程度の光を吸収する材料であり、さらに後に形成する第2の導電性膜34とエッチングにおいて選択比を十分にとることができる材料であることが望ましい。

【0032】

その後、図1(B)、(F)に示すように、結晶性半導体膜22、ゲート絶縁膜23、第1の導電性膜24に加熱処理を施す。加熱処理としては瞬間的に昇温および降温ができるRTA処理を用いる。RTA処理では10秒 \sim 120秒の間に $600^\circ\text{C}\sim 800^\circ\text{C}$ まで昇温し、 $600^\circ\text{C}\sim 800^\circ\text{C}$ において30秒 \sim 180秒間加熱処理を施す。なおRTA処理の方式としては、加熱ガスを用いたガス加熱方式とランプの放射によるランプ加熱方式とがある。ガス加熱方式の場合はガスによりガラス基板20自体が加熱されてゲート絶縁膜23の加熱処理が可能である。しかしランプ加熱方式では、一般に昇温効率が著しく悪い。それは、一般的なハロゲンランプでは $1\mu\text{m}$ 程度に放射スペクトルのピークがあり、このような波長領域の光をガラス基板20は十分吸収しないため、ガラス基板20自体が加熱されにくいためである。本実施の形態では、第1の導電性膜24である窒化タンタル膜が波長が $1\mu\text{m}$ 程度の光を吸収するため、窒化タンタル膜を吸収層としてゲート絶縁膜23への熱伝導が生じ、ゲート絶縁膜23の加熱処理を効率よく行うことができる。なおこの加熱処理はガラスの歪み点を越える温度で行われ、ガラス基板20のシュリンクが生じるが、当該加熱処理を行うときにはまだ結晶性半導体膜22を素子形状に加工していないため、その後の工程で当該シュリンクによるパターニング不良は生じない。

【0033】

つぎに図1(C)、(G)に示すように、結晶性半導体膜22、ゲート絶縁膜23、および第1の導電性膜24を同一のフォトマスクを用いて一括で島状にエッチングする。エッチング方法としては例えばICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法が適用できる。エッチングガスとしては窒化タンタル膜よりなる第1の導電性膜24のエッチングでは CF_4 と C_2F_2 の混合ガスを用いることが可能である。酸化珪素膜よりなるゲート絶縁膜23のエッチングには CHF_3 ガスを利用でき、結晶性珪素膜よりなる結晶性半導体膜22のエッチングには CF_4 および O_2 の混合ガスを用いることができる。こうして、島状に加工された結晶性半導体膜25、結晶性半導体膜28と、島状に加工されたゲート絶縁膜26、ゲート絶縁膜29と、島状に加工された第1の導電性膜27、第1の導電性膜30とを形成する。

【0034】

つぎに図1(D)、(H)のようにガラス基板20全面を覆う絶縁膜31を形成し、露出した結晶性半導体膜25および結晶性半導体膜28の側面を覆う。絶縁膜31としては等方的に成長する減圧CVD法を用いて $500\text{nm}\sim 1.5\mu\text{m}$ の膜厚で成膜した酸化珪素膜を用いた。なお絶縁膜31としては絶縁膜であれば良く、酸化珪素膜に限定されず窒化珪素膜、酸化窒化珪素膜も勿論利用できる。

【0035】

その後、ガラス基板20側に所定のバイアス電圧を加えて酸化珪素膜よりなる絶縁膜31を異

方性エッチングすることで図2 (A)、(F)のように、結晶性半導体膜25、結晶性半導体膜28の側面及びゲート絶縁膜26、ゲート絶縁膜29の側面を覆うサイドウォール32、サイドウォール33が形成できる。結晶性半導体膜25、結晶性半導体膜28の側面を覆う部分におけるサイドウォール32、サイドウォール33の当該側面に垂直な方向の実効的な厚さを、ゲート絶縁膜26、ゲート絶縁膜29の実効的な厚さ以上とする。例えば、ゲート絶縁膜26、ゲート絶縁膜29とサイドウォール32、サイドウォール33が共に酸化珪素膜でなる場合、結晶性半導体膜25、結晶性半導体膜28の側面を覆う部分におけるサイドウォール32、サイドウォール33の当該側面に垂直な方向の厚さを、ゲート絶縁膜26、ゲート絶縁膜29の厚さである20nm～80nm以上とする。こうして、素子分離された半導体膜の外へゲート電極を引き回す部分と結晶性半導体膜25、結晶性半導体膜28の側面との間での短絡、電流リークを抑制することができる。

【0036】

つぎに図2 (B)、(G)に示す第2の導電性膜34を形成する。本実施の形態では第2の導電性膜34として300nm～500nmの膜厚のタングステン膜を用いた。第2の導電性膜34としてはタングステン膜に限定されず導電性膜であれば構わない。ただし第2の導電性膜34は、第1の導電性膜24とエッチングにおける選択比を十分にとることのできる材料を用いることが望ましい。

【0037】

さらに図2 (C)、(H)のように第1の導電性膜24と第2の導電性膜34とをエッチングし、ゲート電極の形状に加工された、窒化タンタルよりなる第1の導電層37、第1の導電層40とタングステンよりなる第2の導電層38とを得る。ここでは第1の導電層37、第1の導電層40と第2の導電層38の端部に異なる傾斜角をつけた構造を作製している。端部に異なる傾斜角を有する第1の導電層37、第1の導電層40と第2の導電層38は、第1の導電性膜24と第2の導電性膜34とを2段階でエッチングにし形成される。第1段階のエッチングでは、 CF_4 と Cl_2 と O_2 の混合ガスをエッチングガスとして利用しガラス基板20に所定の電圧を印加することで、タングステンと窒化タンタルとの両方を同時にエッチングし、端部に同じ傾斜角を持たせたタングステンよりなる層と窒化タンタルよりなる層とを作製する。次に第2段階のエッチングでは、前記第1段階のエッチングの条件においてエッチングガスを SF_6 と Cl_2 と O_2 に変更し、所定のバイアス電圧をガラス基板20に印加してタングステンよりなる層のみを異方的にエッチングする。こうして、端部に異なる傾斜角を有する第1の導電層37、第1の導電層40と第2の導電層38とが形成される。なお、第1の導電層37、第1の導電層40と第2の導電層38とをエッチングする過程で、ゲート絶縁膜26、ゲート絶縁膜29とサイドウォール32、サイドウォール33もエッチングされ、ゲート絶縁膜36、ゲート絶縁膜39とサイドウォール35a、サイドウォール35bとなる。

【0038】

つぎに所望の量の不純物ドーピングを行う。図2 (D)、(I)の41、44はそれぞれ高濃度のn型またはp型不純物がドーピングされたソースまたはドレインとなり、42、45はゲート電極の一部である第1の導電層37、第1の導電層40の端部を介してドーピングが行われるためソースまたはドレイン41、ソースまたはドレイン44よりも低濃度でn型不純物が添加されたドーピング領域 (Gate Overlapped Lightly Doped Drain) となり、43及び46はチャネル領域になる。

【0039】

その後、図2 (E)、(J)に示すように、絶縁膜51として水素を含有する酸化窒化珪素膜をプラズマCVD法により100nmの膜厚で形成し、410℃の熱処理を加えて結晶性半導

体膜 2 5、結晶性半導体膜 2 8 及びゲート絶縁膜 3 6、ゲート絶縁膜 3 9 の水素化処理を行う。さらに層間絶縁膜 5 2 として酸化珪素膜を CVD 法により 400~600 nm の膜厚で形成する。なお層間絶縁膜 5 2 としてはリンガラス (PSG)、ボロンリンガラス (BSG)、リンボロンガラス (PBSG) などが適用可能である。層間絶縁膜 5 2 としては、他にもポーラス膜や、有機樹脂系のアクリル、テフロン (登録商標) といった低誘電率膜を用いることも可能である。つぎにバリア膜 5 3 としてスパッタ法で窒化珪素膜を 100 nm の膜厚で形成する。次いで、バリア膜 5 3、層間絶縁膜 5 2、絶縁膜 5 1 及びゲート絶縁膜 3 6、ゲート絶縁膜 3 9 をエッチングし、ソースまたはドレイン 4 1、ソースまたはドレイン 4 4 に達するコンタクト部を形成した後に、配線 4 7、配線 4 8、配線 4 9、配線 5 0 を形成する。配線 4 7~5 0 としては膜厚 60 nm のチタン膜、膜厚 40 nm の窒化チタン膜、膜厚 300 nm のアルミニウム膜、膜厚 100 nm のチタン膜の積層構造を用いる。ただし勿論、配線 4 7~5 0 の構造はこれに限らずアルミニウムの代わりに銅を利用することもできる。配線 4 7~5 0 においてアルミニウム膜に接する膜はチタン窒化物に限定されずタンタル窒化物、タングステン窒化物などを用いることもできる。

【0040】

(実施の形態 2)

実施の形態 1 において図 1 (C)、(G) のように島状に加工された結晶性半導体膜 2 5、結晶性半導体膜 2 8、ゲート絶縁膜 2 6、ゲート絶縁膜 2 9 および第 1 の導電性膜 2 7、第 1 の導電性膜 3 0 を 500℃ でオゾンを用いて酸化する。こうして、図 3 (A)、(C) に示すように、露出した結晶性半導体膜 2 5、結晶性半導体膜 2 8 側面に酸化膜を形成し、当該酸化膜の実効的な厚さをゲート絶縁膜 2 6、ゲート絶縁膜 2 9 の実効的な厚さ以上とすることで、その後に形成するゲート電極と結晶性半導体膜 2 5、結晶性半導体膜 2 8 側面との短絡を防止することができる。なお、結晶性半導体膜 2 5、結晶性半導体膜 2 8 側面に形成される絶縁膜としては、酸化膜、窒化膜、酸化窒化膜などを適用することが可能である。酸化方法としては、オゾンガスを用いる方法の他に、酸素を含んだプラズマを用いてプラズマ酸化することも可能である。また、酸化方法としてオゾン水による洗浄を行ってもよく、このとき紫外光をガラス基板 2 0 表面に照射すると効率よく酸化を行うことができる。窒化方法としては、窒素ガスを含んだプラズマを用いたプラズマ窒化を利用できる。また島状の結晶性半導体膜 2 5、結晶性半導体膜 2 8、ゲート絶縁膜 2 6、ゲート絶縁膜 2 9 および第 1 の導電性膜 2 7、第 1 の導電性膜 3 0 をパターニングする際に用いたレジストマスクを残したまま、酸素または窒素をドーピングすることにより、結晶性半導体膜 2 5、結晶性半導体膜 2 8 の側面だけを選択的に絶縁体膜化することも可能である。

【0041】

(実施の形態 3)

実施の形態 1 において図 1 (C)、(G) のように島状に加工された結晶性半導体膜 2 5、結晶性半導体膜 2 8、ゲート絶縁膜 2 6、ゲート絶縁膜 2 9 および第 1 の導電性膜 2 7、第 1 の導電性膜 3 0 形成後に、結晶性半導体膜 2 5、結晶性半導体膜 2 8、ゲート絶縁膜 2 6、ゲート絶縁膜 2 9 を覆うように、ガラス基板 2 0 全面に絶縁膜を形成する。絶縁膜としては CVD 法によって 50~100 nm の膜厚で形成された酸化珪素膜を用いる。もちろん当該絶縁膜は CVD 法による酸化珪素膜に限らず、窒化珪素膜、酸化窒化珪素膜等を用いることも可能である。成膜方法も CVD 法に限らずスパッタ法等を用いることもできる。その後、図 3 (B)、(D) に示すように絶縁膜のパターニングを行い、絶縁層 5 4~5 7 を形成する。絶縁層 5 4~5 7 は、島状の結晶性半導体膜 2 5、結晶性半導体膜 2 8 の少なくとも後に形成されるゲート電極と重なる領域における側面を覆う形状とし、当該絶縁層 5 4~5 7 の実効的な厚さをゲ

ート絶縁膜26、ゲート絶縁膜29の実効的な厚さ以上とすることで、結晶性半導体膜25、結晶性半導体膜28とその後に形成されるゲート電極との短絡を防止することができる。

【0042】

【実施例】

(実施例1)

実施の形態1～3により作製される代表的な薄膜トランジスタを用いて表示装置を作製した場合の断面構造について説明する。

【0043】

上述の実施の形態に示した作製工程により、駆動回路部及び画素部に配置されるTFTを絶縁表面を有する基板500上に形成する。その後(図4(A))、駆動用TFT513の配線507と電氣的に接続されるように、透明導電膜からなる第1の電極501を形成する。透明導電膜としては仕事関数の大きい材質を用いて作製することが望ましく、一例としては、酸化インジウムと酸化スズの化合物(ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム、窒化チタンなどが挙げられる。本実施例では第1の電極501として、スパッタリング法で、0.1 μ mの膜厚のITO膜を形成した。

【0044】

本実施例では、配線507を形成後、該配線507に電氣的に接続されるように透明導電膜を形成する方法を示したが、他の方法で形成してもよい。例えば、透明導電膜を形成し、該透明導電膜をパターン加工して第1の電極を形成した後、該第1の電極に電氣的に接続されるようにTFTの配線507を形成してもよい。また、TFTの配線507を形成した後、配線507上に絶縁膜を形成し、その後配線507に達するように絶縁膜にコンタクトホールを開口する。そして、当該コンタクトホールによって配線507と電氣的に接続されるように透明導電膜を形成してもよい。

【0045】

次いで、第1の電極501の端面を覆うように絶縁膜504を形成する。絶縁膜504を形成する材料は特に限定されず、無機又は有機の材料で形成することができる。絶縁膜504を感光性の有機物を用いて形成すると、絶縁膜504に設けた開口部の形状が、該絶縁膜504上に蒸着される発光層の段切れなどを起こしにくいものとなるため好ましい。即ち、絶縁膜504に設けた開口部の形状を、発光層の成膜面の傾きが連続的に変化するようななだらかな曲面形状とできるため、発光層のカバレッジが良くなり、発光層の断切れを防止することができる。これにより、発光素子の断線による陽極と陰極との短絡が低減する。また、発光層が部分的に薄くなることを防止でき、発光層における局所的な電界の集中を防ぐことができる。絶縁膜504を形成する感光性の有機物としては、感光性ポリイミド樹脂、感光性アクリル等を用いることができる。例えば、絶縁膜504の材料としてネガ型の感光性樹脂を用いた場合、第1の電極501の上面に接する絶縁膜504の上端部の形状を、絶縁膜504の上面と絶縁膜504の上端部との接線の下方の曲率中心を有し第1の曲率半径により決まる曲面状となり、絶縁膜504の下端部の形状を、第1の電極501と絶縁膜504の下端部との接線の上方に曲率中心を有し第2の曲率半径により決まる曲面状となるように形成することができる。第1及び第2の曲率半径は、0.2 μ m～3 μ m、また前記開口部の壁面の第1の電極501に対する角度は35°以上とすることが好ましい。

【0046】

次いで、PVA(ポリビニルアルコール)系の多孔質体を用いて拭い、ゴミ等の除去を行う。本実施例では、PVAの多孔質体を用いた拭浄により、ITOでなる第1の電極501や絶縁膜504をエッチングしたときに発生する微粉(ゴミ)の除去を行った。

【0047】

次いで、第1の電極501と接するように発光層502を形成する。発光層502は、蒸着法や塗布法（スピコート法、インクジェット法など）により形成される。本実施例では、蒸着源を移動させながら蒸着を行う方法を用いた。この方法では、蒸着源に入れられた発光層502の材料である有機化合物は抵抗加熱により予め気化されており、気化された有機化合物が蒸着源からガラス基板20の方向に飛散するのを防止するシャッターが設けられている。蒸着時において、シャッターを開くことによって気化された有機化合物は上方に飛散し、メタルマスクに設けられた開口部を通してガラス基板20上に蒸着され、発光層502が形成された。

【0048】

なお、発光層502の蒸着前の処理として、全体にPEDOTを塗布し、ベークを行ってもよい。このとき、PEDOTは第1の電極501であるITOとの濡れ性が良くないため、一旦PEDOTを塗布後、水洗し、再度PEDOTを塗布することが好ましい。こうしてPEDOTを塗布した後、常圧で加熱を行って水分を飛ばしてから、減圧雰囲気中で加熱を行う。

【0049】

発光素子を構成する第1及び第2の電極間に設けられる一つ又は複数の層を総称して発光層（発光材料を含む層）502とよぶが、発光層502は、低分子系有機化合物材料、高分子系有機化合物材料、或いは、両者を適宜組み合わせることで形成することが可能である。また、電子輸送性材料と正孔輸送性材料を適宜混合させた混合層、又はそれぞれの接合界面に混合領域を形成した混合接合を形成しても良い。また、有機系の材料のほかに無機系の発光材料を使用しても良い。さらに、発光層502の積層構造も特に限定されず、低分子材料からなる層を積層した構造、高分子材料からなる層と低分子材料からなる層とを積層した構造でもよい。

【0050】

続いて発光層502上に、第2の電極503を形成する。第2の電極503は、仕事関数の小さい金属（Li、Mg、Cs）を含む薄膜、Li、Mg等を含む薄膜上に積層した透明導電膜との積層膜で形成する。膜厚は陰極として作用するように適宜設定すればよいが、0.01～1μm程度の厚さに公知の方法（電子ビーム蒸着法など）で形成する。但し、電子ビーム蒸着法を用いる場合、加速電圧が高すぎると放射線が発生し、TFEにダメージを与えてしまう。しかし、加速電圧が低すぎても成膜速度が下がり、生産性が低下する。そのため、第2の電極503を陰極として作用しうる膜厚より過剰には成膜しないようにする。第2の電極503が薄いと、成膜速度が遅くても生産性に大きな影響は現れない。しかしながら、陰極の膜厚が薄いことで高抵抗化してしまう問題も発生する。この問題は、陰極上に低抵抗金属であるAlなどを抵抗加熱蒸着やスパッタリング法などで形成し、積層構造とすることで解決する。本実施例では、第2の電極503として電子ビーム蒸着法でAl-Liを0.1μmの厚さで形成した。

【0051】

次に、絶縁膜504及び第2の電極503上に、保護膜505を成膜する。保護膜505は、水分や酸素などの発光素子506の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、DLC膜、窒化炭素膜、RFスパッタリング法で形成された窒化珪素膜等を用いるのが望ましい。またその膜厚は、10～200nm程度とするのが望ましい。本実施例では、スパッタリング法を用いて、窒化珪素膜を100nmの厚さで形成した。

【0052】

これまでの工程において形成された、第1の電極501、発光層502及び第2の電極503の積層体が発光素子506に相当する。第1の電極501は陽極、第2の電極503は陰極に相当する。本発明では、発光素子506の励起状態には一重項励起と三重項励起があるが、

発光はどちらの励起状態を経てもよい。

【0053】

図4(B)には発光素子を用いた表示装置における一画素の上面図を示す。図4(B)には、画素電極501まで形成した状態を示す。図4(B)の上面図において、A-B-Cに対応した断面図が図5(A)に相当する。また図4(C)は、図4(B)に対応した一画素の回路図を示す。図4(B)、(C)において、508はソース線、509はゲート線、510は電源線、511は容量素子、501は第1の電極(画素電極)、512はスイッチング用TFT、513は駆動用TFTに相当する。

【0054】

本実施例では基板500側から発光素子506から発せられる光を取り出す、所謂下面出射を行う場合を示した。しかし、基板500とは反対の方向から光を取り出す、所謂上面出射を行うようにしてもよい。その場合、第1の電極501を陰極、第2の電極503を陽極に相当するように形成し、さらに第2の電極503は透明材料で形成するとよい。また、駆動用TFT513はNチャネル型TFTで形成することが好ましい。なお、駆動用TFT513の導電型は適宜変更しても構わないが、容量素子511は該駆動用TFT513のゲート・ソース間電圧を保持するように配置する。なお本実施例では、本発明の薄膜トランジスタと発光素子を用いた発光装置の場合を示したが、本発明を液晶表示装置などの他の表示装置に適用することもできる。

【0055】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

【0056】

(実施例2)

本発明の実施例について、図5を用いて説明する。図5(A)は、TFTが形成された基板をシーリング材によって封止することによって形成された表示パネルの上面図であり、図5(B)は図5(A)のB-B'における断面図、図5(C)、(D)は図5(A)のA-A'における断面図である。なお図5(C)はTFTが形成された基板の方向に光を発する下面出射を行う表示パネル、図5(D)はTFTが形成された基板とは反対の方向に光を発する上面出射を行う表示パネルの断面図である。

【0057】

図5(A)～(D)において、基板601上には、画素部(表示部)602、該画素部602を囲むように設けられた信号線駆動回路603、走査線駆動回路604a、走査線駆動回路604bが配置され、これらを囲むようにしてシール材606が設けられている。画素部602の構造については、上述の実施例1で示した構成等を用いることが可能である。シール材606としては、ガラス材、金属材、セラミックス材、プラスチック材が用いられる。このシール材606は、信号線駆動回路603、走査線駆動回路604a、走査線駆動回路604bの一部に重畳させて設けても良い。

【0058】

図5(C)に示した表示パネルでは、シール材606を接着層として用いてシーリング材607が設けられ、基板601、シール材606及びシーリング材607によって密閉空間608が形成される。シーリング材607には予め凹部の中に吸湿剤609が設けられ、上記密閉空間608の内部において、水分や酸素等を吸着して清浄な雰囲気を保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材610で覆われている。カバー材610は空気や水分は通すが、吸湿剤609は通さない。なお、密閉空間608は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で

充填することも可能である。

【0059】

また図5（D）の表示パネルでは、シール材606を接着層として用いて透明な対向基板621が設けられ、基板601、対向基板621及びシール材606によって密閉空間622が形成される。対向基板621には、カラーフィルタ620と該カラーフィルタを保護する保護膜623が設けられる。画素部602に配置された発光素子から発せられる光は、該カラーフィルタ620を介して外部に放出され、表示パネルでは多色表示を行う。密閉空間622は、不活性な樹脂もしくは液体などで充填される。なお、多色表示を行う際には、発光層がRGBの各々の色を発するように設定するか、白色発光をする発光層を設けた画素を配置しカラーフィルタや色変換層を用いるように設定してもよい。

【0060】

基板601上には、信号線駆動回路603及び走査線駆動回路604a、走査線駆動回路604bに信号を伝達するための入力端子部611が設けられ、該入力端子部611へはFPC612を介してビデオ信号等のデータ信号が伝達される。入力端子部611の断面は、図5（B）に示す通りであり、走査線もしくは信号線と同時に形成された配線からなる入力配線613とFPC612側に設けられた配線615とを、導電体616を分散させた樹脂617を用いて電氣的に接続してある。なお、導電体616としては、球状の高分子化合物に金もしくは銀のメッキ処理を施したものをを用いれば良い。

【0061】

本実施例では、発光素子を用いた発光パネルに本発明を適用した例を示したが、液晶表示素子を用いた液晶パネルに本発明を適用してもよい。

【0062】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【0063】

（実施例3）

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話等）、記録媒体を備えた画像再生装置などが挙げられる。それらの電子機器の具体例を図6に示す。

【0064】

図6（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカ一部2004、ビデオ入力端子2005等を含む。本発明は表示部2003に適用することができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0065】

図6（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、表示部2102に適用することができる。

【0066】

図6（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、表示部2203に適用することができる。

【0067】

図6 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、表示部2302に適用することができる。

【0068】

図6 (E) は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明は表示部A2403、表示部B2404に適用することができる。

【0069】

図6 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明は、表示部2502に適用することができる。

【0070】

図6 (G) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部に2610等を含む。本発明は、表示部2602に適用することができる。

【0071】

図6 (H) は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、表示部2703に適用することができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0072】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器には、上記の実施の形態、実施例と自由に組み合わせることができる。

【0073】

【発明の効果】

本発明により、従来ではガラス等の基板のシュリンクのためにパターニング時のアライメントが問題となる700℃という温度であっても、パターニング時のアライメント不良を問題とせずゲート絶縁膜に加熱処理を加えることができる。

【0074】

このようなガラスの歪み点を超える700℃といったゲート絶縁膜への加熱処理を施すことにより、薄膜トランジスタにおいて、界面準位が低減、固定電荷が減少、ゲートリーク電流が低減し、電界効果移動度、サブスレショルド係数などが良好となり、連続動作におけるトランジスタ特性の経時変化が低減し、製造歩留まりを向上させ、特性ばらつきを低減することができる。

【0075】

【図面の簡単な説明】

【図1】 本発明の薄膜トランジスタの作製工程を説明する図。

【図2】 本発明の薄膜トランジスタの作製工程を説明する図。

【図3】 本発明の薄膜トランジスタの作製工程を説明する図。

【図4】 本発明による表示パネルの画素構成を説明する図。

- 【図5】 本発明による表示パネルの構成を説明する図。
- 【図6】 本発明による電子機器の構成を説明する図。
- 【図7】 半導体膜をゲート絶縁膜を形成する前に素子分離する薄膜トランジスタの作製工程を説明する図。

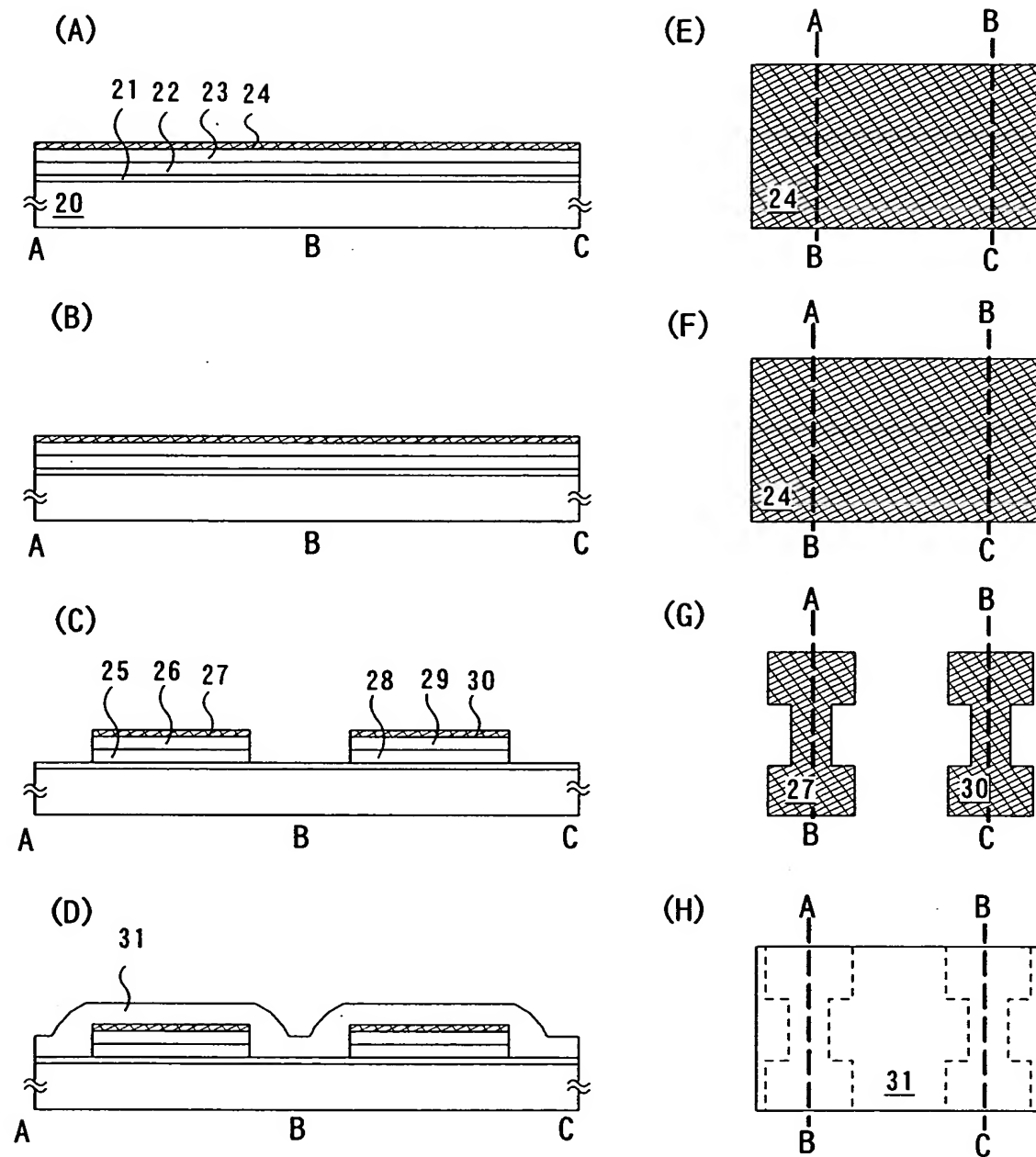
【書類名】 要約書

【要約】

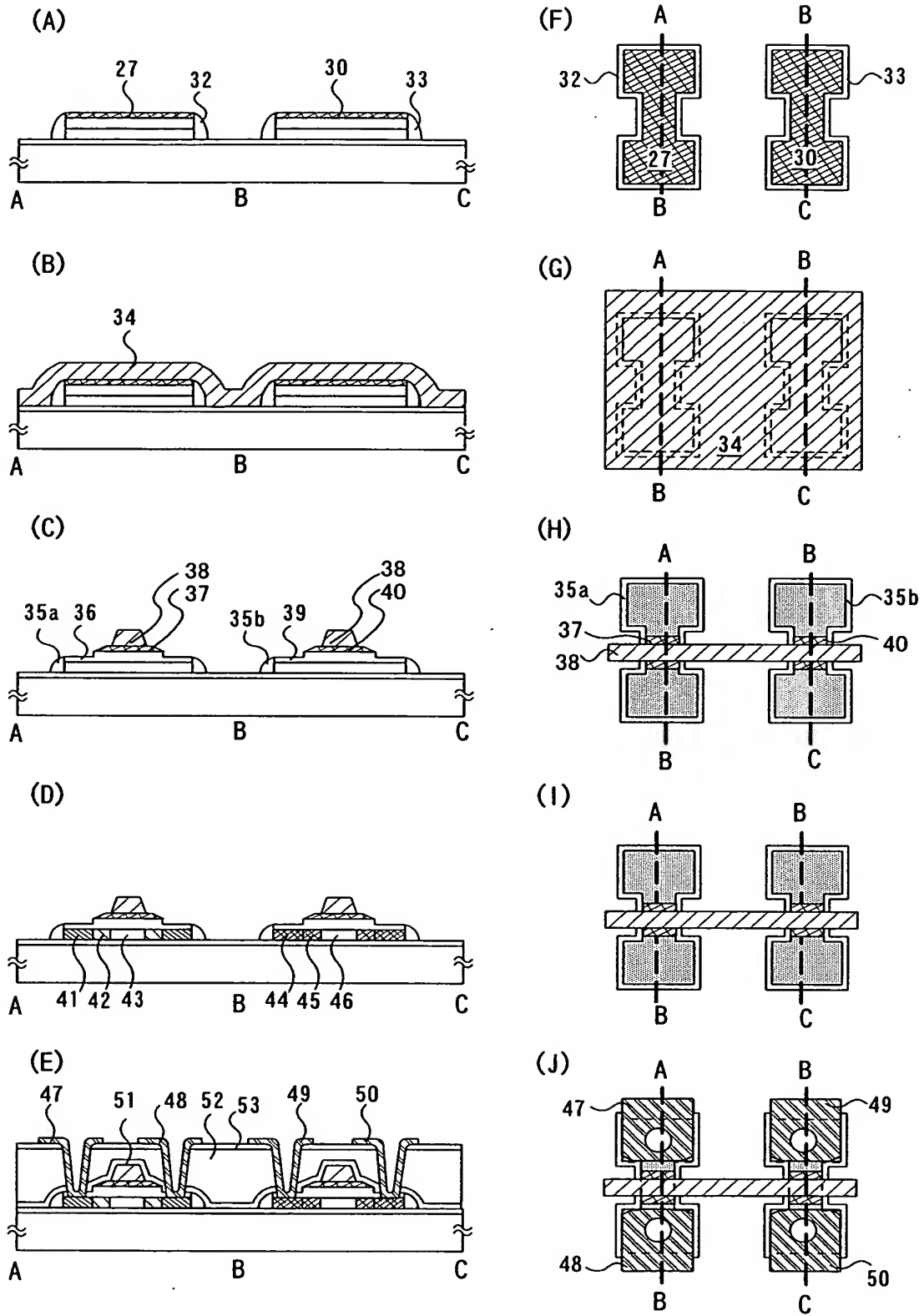
【課題】 本発明は、ガラスの膨張、収縮がパターニングのアライメントずれの問題を引き起こさずに、界面準位低減、固定電荷低減といったゲート絶縁膜の特性向上を目的とした加熱処理を可能とする薄膜トランジスタの作製方法を提供することを課題とする。

【解決手段】 本発明の薄膜トランジスタの作製方法は、素子分離していない半導体膜の上に少なくともゲート絶縁膜を成膜した状態で加熱処理を行い、ゲート絶縁膜と半導体膜を同時に素子構造に分離し、露出した半導体膜の側面を覆う絶縁膜を形成し、半導体膜とゲート電極との短絡を防ぐことを特徴としている。加熱処理後にゲート絶縁膜と半導体膜を同時に素子形状に加工するため、加熱時のガラス基板の膨張、収縮がパターニングのアライメントずれに影響を及ぼさないことを特徴としている。

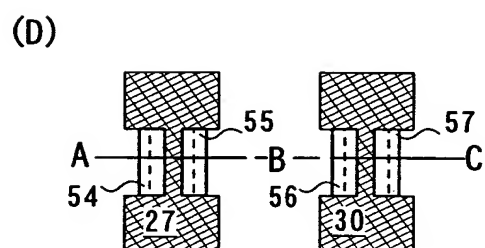
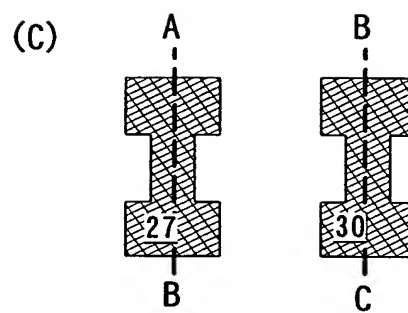
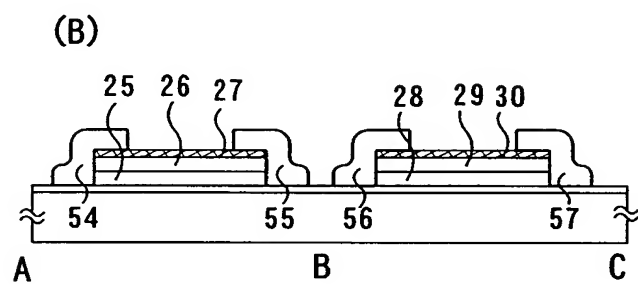
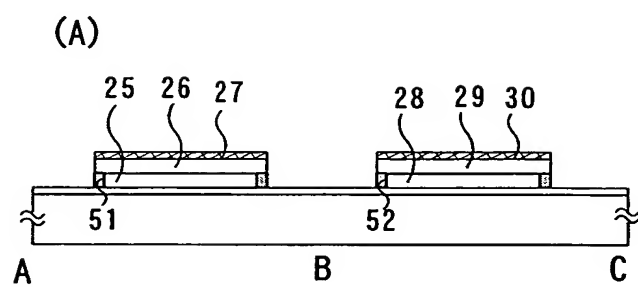
【図1】



【図2】

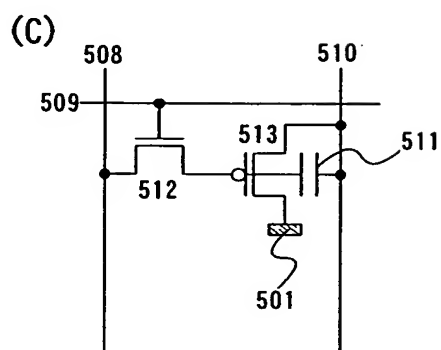
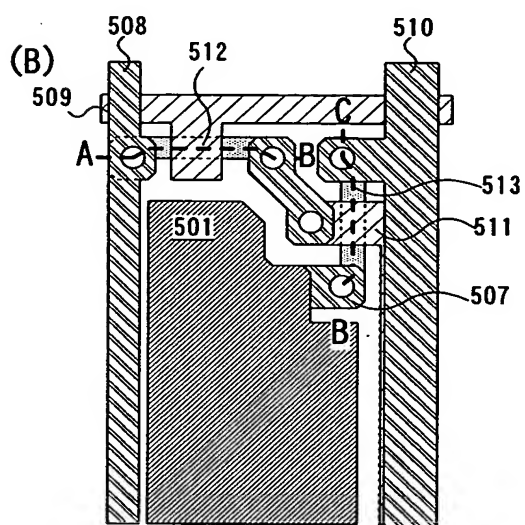
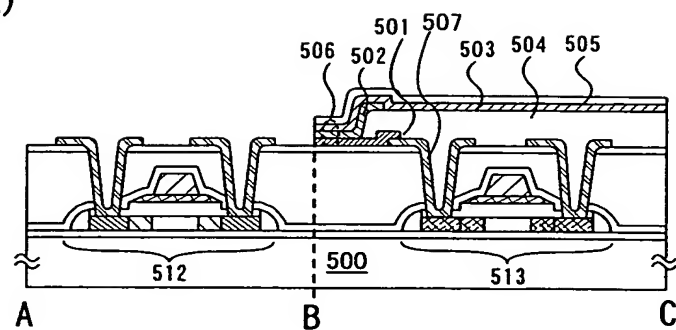


【図3】



【図 4】

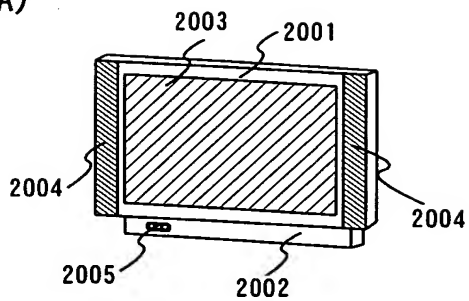
(A)



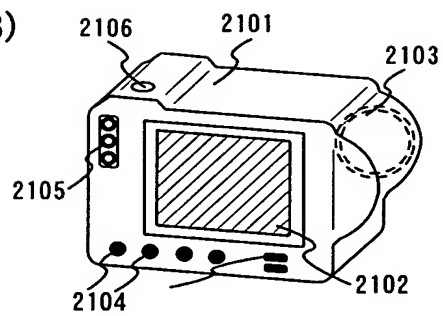
[illegible]

【図 6】

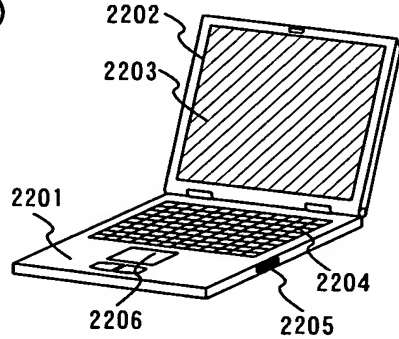
(A)



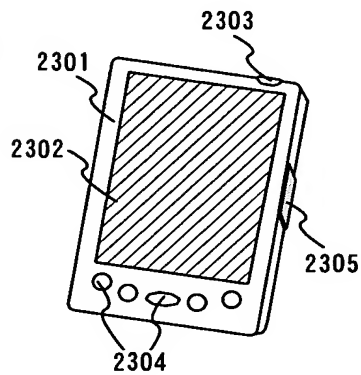
(B)



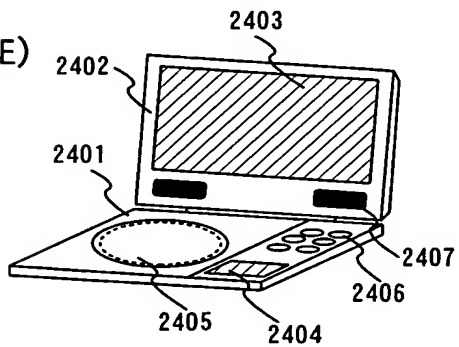
(C)



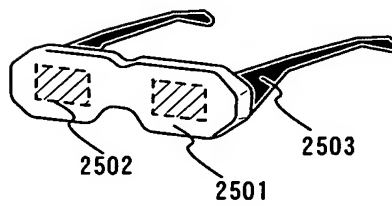
(D)



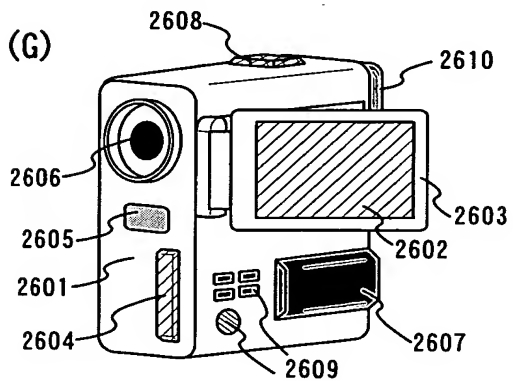
(E)



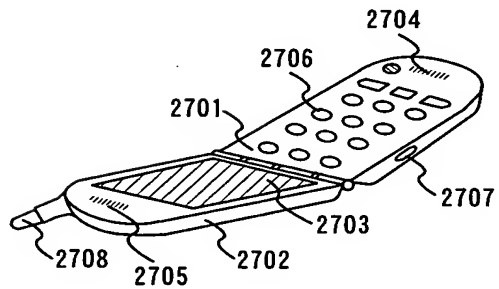
(F)



(G)



(H)



【図7】

